

DECISION OF FINAL REJECTION

Patent Application Serial No. Hei 9-243057

Date of drafting: March 11, 2003

[...]

Remarks:

Because the width of the region in which crystallization is defective depends largely on factors such as the manufacturing method, the feature of making the distance between both outer sides of two channels greater than the width of the defective crystallization region cannot be determined to have any special differences from the inventions described in References 1 and 2.

It is therefore determined that the invention according to claim 1 is not distinctive over the inventions described in References 1 and 2.

拒絶査定

087475

特許出願の番号	平成 9 年 特許願 第 2 4 3 0 5 7 号
起案日	平成 1 5 年 3 月 1 1 日
特許庁審査官	井口 猶二 9 1 1 9 2 X 0 0
発明の名称	表示装置
特許出願人	三洋電機株式会社
代理人	芝野 正雅

この出願については、平成 1 4 年 8 月 1 2 日付け拒絶理由通知書に記載した理由によって、拒絶をすべきものである。

なお、意見書及び手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。

備考

結晶化が不良である領域の幅は製造方法等に大きく依存するので、2つのチャネルの両外側間の距離を結晶化が不良である領域の幅よりも大きくなるようにした点は、各引用文献 1、2 に記載の発明とは格別の差異と認められない。

よって、請求項 1 に係る発明は引用文献 1、2 に記載の発明以上の格別のものとは認められない。

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成 1 5 年 3 月 1 2 日 経済産業事務官 塚木 佳雅

Thin-film transistor having a plurality of island-like regions

Patent Number: US5767529
Publication date: 1998-06-16
Inventor(s): ARAI MICHIO (JP); KOBORI ISAMU (JP)
Applicant(s): SEMICONDUCTOR ENERGY LAB (JP)
Requested Patent: ☐ US5767529
Application Number: US19960623506 19960328
Priority Number(s): JP19950096266 19950328
IPC Classification: H01L29/76; H01L29/04; H01L27/01
EC Classification: H01L29/786E4C2, H01L21/84, H01L27/12
Equivalents: ☐ JP8264802

Abstract

A thin-film transistor comprising an active silicon pattern which is formed of a plurality of island-like regions arranged in parallel to each other, the island-like regions being formed of a polycrystal silicon thin film and each having a plane area of 1000 μm^2 or less.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-264802

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/786		H 0 1 L 29/78	6 1 8 A
	21/336		21/324	Z
	21/324		29/78	6 2 7 F

審査請求 未請求 請求項の数 9 F D (全 7 頁)

(21) 出願番号 特願平7-96266

(22) 出願日 平成7年(1995)3月28日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(71) 出願人 000003067

ティーディーケー株式会社
東京都中央区日本橋1丁目13番1号

(72) 発明者 小堀 勇

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 荒井 三千男

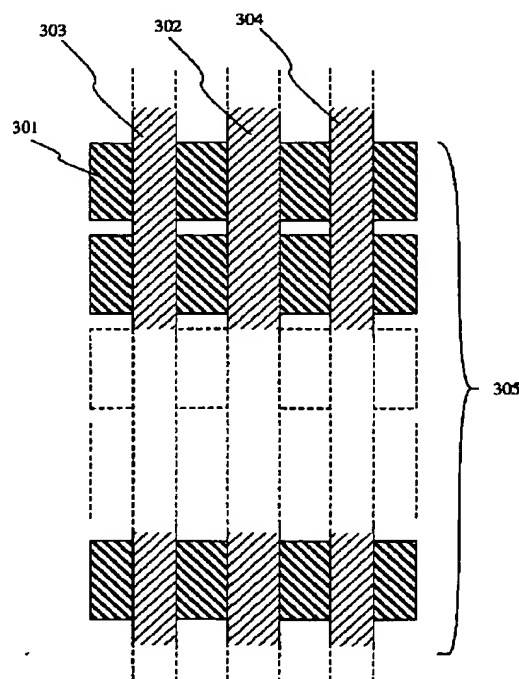
東京都中央区日本橋一丁目13番1号 ティ
ーディーケー株式会社内

(54) 【発明の名称】 半導体作製方法、薄膜トランジスタ作製方法および薄膜トランジスタ

(57) 【要約】

【目的】 アモルファスシリコン薄膜を、アニール処理して得られる多結晶シリコン薄膜を、欠陥密度を低下させ、良質なものとし、多結晶シリコン薄膜を用いた薄膜トランジスタにおいて、スレッシュホールド電圧 (V_{th})、リーク電流 (I_{off}) の低下、移動度の増大を図る。

【構成】 基板上に形成されたアモルファスシリコン薄膜を、アニール処理により多結晶化させるに際し、前記アモルファスシリコン薄膜は、 $1000\mu m^2$ 以下の平面面積を有するものとする。このようにして形成された島状の多結晶シリコン薄膜を、複数並列に配置して、薄膜トランジスタの活性シリコン層を構成する。



【特許請求の範囲】

【請求項1】基板上に形成されたアモルファスシリコン薄膜を、アニール処理により多結晶化させるに際し、前記アモルファスシリコン薄膜は、 $1000\mu\text{m}^2$ 以下の平面面積を有することを特徴とする半導体作製方法。

【請求項2】請求項1において、アモルファスシリコン薄膜は、 1000\AA 以上の膜厚を有することを特徴とする半導体作製方法。

【請求項3】請求項1において、アモルファスシリコン薄膜は、 $2000\text{\AA}\sim 10000\text{\AA}$ の膜厚を有することを特徴とする半導体作製方法。

【請求項4】薄膜トランジスタの活性シリコン層が、複数並列に配置された島状領域で構成され、該島状領域は、 $1000\mu\text{m}^2$ 以下の平面面積を有する多結晶シリコン薄膜であることを特徴とする薄膜トランジスタ。

【請求項5】請求項4において、島状領域は、 1000\AA 以上の膜厚を有する多結晶シリコン薄膜であることを特徴とする薄膜トランジスタ。

【請求項6】請求項4において、島状領域は、 $2000\text{\AA}\sim 10000\text{\AA}$ の膜厚を有する多結晶シリコン薄膜であることを特徴とする薄膜トランジスタ。

【請求項7】基板上に、アモルファスシリコン薄膜を形成する工程と、

前記アモルファスシリコン薄膜を、 $1000\mu\text{m}^2$ 以下の平面面積を有する、複数の島状領域に加工する工程と、

アニール処理により、前記島状領域を構成するアモルファスシリコン薄膜を多結晶化する工程と、

前記複数の島状領域のうちの少なくとも1つを、活性シリコン層とした薄膜トランジスタを形成する工程と、を有することを特徴とする薄膜トランジスタ作製方法。

【請求項8】請求項7において、アモルファスシリコン薄膜は、 1000\AA 以上の膜厚を有することを特徴とする薄膜トランジスタ作製方法。

【請求項9】請求項7において、アモルファスシリコン薄膜は、 $2000\text{\AA}\sim 10000\text{\AA}$ の膜厚を有することを特徴とする薄膜トランジスタ作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁体上に、アモルファスシリコン薄膜を結晶化して形成される、多結晶シリコン薄膜よりなる半導体、およびそれを用いた薄膜トランジスタに関する。

【0002】

【従来の技術】石英基板等の絶縁体上に、アモルファスシリコン薄膜を形成し、それを、加熱や、レーザー光や強光の照射によるアニール処理により固相成長(SPC)させて、多結晶シリコン薄膜を有する技術が、近年盛んに研究されている。絶縁体上において、アモルファス

シリコン薄膜を固相成長させて多結晶シリコン薄膜を得るための、従来の一般的な方法を以下に示す。まず、石英基板上に、アモルファスシリコン薄膜が $500\text{\AA}\sim 5000\text{\AA}$ 形成される。その後、 $400^\circ\text{C}\sim 1100^\circ\text{C}$ に加熱してアニール処理を行い、アモルファスシリコン薄膜が結晶成長される。このとき、加熱手段としては、ヒーターや赤外線等が用いられる。アニール処理は、加熱の他に、レーザー光や強光を照射して行ってもよい。このようにして、多結晶シリコン薄膜が得られる。得られた多結晶シリコン薄膜を、薄膜トランジスタ(TFT)の活性シリコン層として用いて薄膜トランジスタを設けることができ、これを用いて、高速・高画質の液晶表示装置や、イメージセンサ等が得られる。

【0003】

【従来技術の問題点】従来、アモルファスシリコン薄膜を、アニール処理して得られた多結晶シリコン薄膜は、結晶中の欠陥密度を低下させることが困難であった。このような多結晶シリコン薄膜を活性シリコン層として用いた薄膜トランジスタは、活性シリコン層中の欠陥密度が高いため、薄膜トランジスタの諸特性の改善、例えば、スレッショールド電圧(V_{th})の低下、移動度の増大、リーク電流(I_{off})の減少等の実現が妨げられていた。

【0004】

【発明が解決しようとする課題】本発明は、アモルファスシリコン薄膜を、アニール処理して得られる多結晶シリコン薄膜を、欠陥密度を低下させ、良質なものとするを目的とする。また、アニール処理して得られる多結晶シリコン薄膜を用いた薄膜トランジスタにおいて、スレッショールド電圧(V_{th})、リーク電流(I_{off})の低下、移動度の増大を図ることを目的とする。

【0005】

【課題を解決するための手段】上記課題を解決するために、本発明の一つは、基板上に形成されたアモルファスシリコン薄膜を、アニール処理により多結晶化させるに際し、前記アモルファスシリコン薄膜は、 $1000\mu\text{m}^2$ 以下の平面面積を有することを特徴とする半導体作製方法である。また、上記構成において、アモルファスシリコン薄膜は、好ましくは 1000\AA 以上、より好ましくは、 $2000\text{\AA}\sim 10000\text{\AA}$ の膜厚を有することを特徴とする。

【0006】また、本発明の他の一つは、薄膜トランジスタの活性シリコン層が、複数並列に配置された島状領域で構成され、該島状領域は、 $1000\mu\text{m}^2$ 以下の平面面積を有する多結晶シリコン薄膜であることを特徴とする薄膜トランジスタである。また、上記構成において、島状領域は、好ましくは 1000\AA 以上、より好ましくは、 $2000\text{\AA}\sim 10000\text{\AA}$ の膜厚を有する多結晶シリコン薄膜であることを特徴とする。

【0007】また、本発明の他の一つは、基板上に、アモルファスシリコン薄膜を形成する工程と、前記アモルファスシリコン薄膜を、 $1000\mu\text{m}^2$ 以下の平面面積を有する、複数の島状領域に加工する工程と、アニール処理により、前記島状領域を構成するアモルファスシリコン薄膜を多結晶化する工程と、前記複数の島状領域のうちの少なくとも1つを、活性シリコン層とした薄膜トランジスタを形成する工程と、を有することを特徴とする薄膜トランジスタ作製方法である。また、上記構成において、アモルファスシリコン薄膜は、好ましくは、 1000\AA 以上、より好ましくは、 $2000\text{\AA}\sim 10000\text{\AA}$ の膜厚を有することを特徴とする。

【0008】

【作用】本出願人は、アモルファスシリコン薄膜を、平面面積（基板上面から見た面積）を $1000\mu\text{m}^2$ 以下の島状領域（アイランド）として形成してから、これを、加熱や、レーザー光、強光の照射によりアニール処理して、多結晶シリコン薄膜とすることにより、欠陥密度の低い、良質な多結晶シリコン薄膜が得られることを発見した。図1に、多結晶シリコン薄膜トランジスタの、スレッショールド電圧（ V_{th} ）と島状領域の面積との関係を示す。このときの島状領域の膜厚は、 1250\AA である。図1に示すように、島状領域の面積が小さくなるほど、Pチャネル、Nチャネルの双方において、スレッショールド電圧が下がり、欠陥密度が低くなっていることがわかる。図1において、島状領域の平面面積が、 $1000\mu\text{m}^2$ 以下であるとき、極めて良好な結晶性が得られることがわかる。また、島状領域の平面面積が、 $1000\mu\text{m}^2$ 以下であれば、島状領域の平面の形状は、正方形でも、長方形でも、その他の形状でもかまわない。また、島状領域は、平面面積が $1\mu\text{m}^2$ 以上であれば、素子として充分に利用可能であり、また通常の技術で容易に作製することができる。

【0009】一方、この多結晶シリコン薄膜を、薄膜トランジスタの活性シリコン層として設ける場合、島状領域の面積の大きさが制限されているために、それを用いた薄膜トランジスタの大きさも制限され、ひいては薄膜トランジスタの性能も制限されてしまう。そこで、本出願人は、薄膜トランジスタのソース領域、ドレイン領域、およびチャネル形成領域を構成する活性シリコン層として、多結晶シリコン薄膜である、平面面積 $1000\mu\text{m}^2$ 以下の島状領域を、複数個、並列に並べて設け、実質的なチャネル幅を大きくすることで、電流量が十分に流れ、かつ欠陥密度の低いチャネル形成領域を有する、高性能の多結晶薄膜トランジスタを得ることができることを発見した。

【0010】図3に、複数の島状領域を、活性シリコン層として用いた薄膜トランジスタの平面形状の例を示す。図3において、島状領域301が、複数個並列に配列され、薄膜トランジスタの活性シリコン層305を構

成している。その上に、ゲイト電極302、ソース電極303、ドレイン電極304が設けられている。

【0011】1つの薄膜トランジスタを構成する、個々の島状領域の間隔は、数～数 $10\mu\text{m}$ が適当である。この間隔は、小さいほど、活性シリコン層の平面面積を小さくできる。島状領域は、その平面面積を小さくすると、多結晶化した状態において、欠陥密度がより減少し、リーク電流を減少させることができる。

【0012】また、本出願人は、アモルファスシリコン薄膜の膜厚を、 1000\AA 以上、好ましくは $2000\text{\AA}\sim 10000\text{\AA}$ と厚くすることで、これを結晶化して得られた多結晶シリコン薄膜の欠陥密度が低くなることを発見した。図2に、固相成長における多結晶シリコン薄膜の欠陥密度と、初期アモルファスシリコン薄膜の膜厚との関係を示す。このときの固相成長（SPC）温度は、 600°C である。図2より、膜厚が厚くなるほど、欠陥密度が少なくなることがわかる。しかし、このような膜厚の厚い初期アモルファスシリコン薄膜をアニール処理して結晶化させる際には、 $3\times 10^{-9}\text{dyn/cm}^2$ 程度の、相変化による応力が発生し、その結果、形成される多結晶シリコン薄膜に、ひび割れが生じてしまうことがあった。

【0013】したがって、膜厚の厚いアモルファスシリコン薄膜を結晶化させて形成した多結晶シリコン薄膜を、薄膜トランジスタのチャネル形成領域を構成する活性シリコン層としてそのまま用いると、装置の不良や、性能の低下の原因となってしまうことがあった。

【0014】しかしながら、本出願人は、アモルファスシリコン薄膜の膜厚が 1000\AA 以上、特に、 $2000\text{\AA}\sim 10000\text{\AA}$ であっても、アモルファスシリコン薄膜よりなる島状領域の面積を、 $1000\mu\text{m}^2$ 以下として、それをアニール処理し、結晶化させることで、ひび割れを生じさせることなく、より欠陥密度の低い多結晶シリコン薄膜が得られることを発見した。また、アモルファスシリコン薄膜の膜厚が、 10000\AA より厚くなると、ひび割れが生じやすくなる。

【0015】本発明により、電流量が十分に流れ、かつ欠陥密度の低いチャネル形成領域を有する、高性能の多結晶薄膜トランジスタを得ることができた。このような薄膜トランジスタは、スレッショールド電圧（ V_{th} ）や、リーク電流（ I_{off} ）が低くなるため、消費電力を小さくすることができる。また移動度（ μ ）が大きくなるため、高速で動作し、また、大電流を流すことが可能となる。以下に本発明の実施例を示す。

【0016】

【実施例】

【実施例1】実施例1は、同一基板上に、多結晶シリコン薄膜トランジスタにより構成された、アクティブマトリクス回路と周辺駆動回路とを形成した例を示す。図4に、実施例1の作製工程を示す。図5に、図4の上面図

を示す。図5(A)～(D)は、図4(A)～(D)を上面から見た図である。また、図4は、図5のA-A'断面である。

【0017】図4において、まず、基板401として、石英を用いた。他にコーニング社7059等のガラス基板を用いてもよい。基板401を洗浄し、TEOS(テトラ・エトキシ・シラン)と酸素を原料ガスとしてプラズマCVD法によって、厚さ2000Åの酸化珪素下地膜402が形成される。そして、プラズマCVD法によ

って、膜厚1000Å以上、好ましくは2000Å～10000Å、ここでは3000Åの、初期アモルファスシリコン薄膜が形成される。次に、この初期アモルファスシリコン薄膜が、ドライエッチングによりパターニングされ、活性シリコン層403～405を構成する島状領域が、アクティブマトリクス部と、周辺駆動回路部の、薄膜トランジスタが形成される位置に設けられる。

(図4(A))

【0018】図5(A)に示すように、アモルファスシリコン薄膜よりなる島状領域501～507が形成され、活性シリコン層403～405が構成される。個々の島状領域の大きさは、平面形状の面積を1000 μm^2 以下とするため、ここでは、幅20 μm ×長さ50 μm とした。また、島状領域は、高速駆動が要求される周辺駆動回路部においては、1つの薄膜トランジスタにつき3つ、リーク電流の少なさが求められるアクティブマトリクス部においては、1つの薄膜トランジスタにつき1つ、設けられた。もちろん、要求される規格に応じて、島状領域の数を増減させてもよいことは、いうまでもない。

【0019】ここでは、周辺駆動回路部の一つの薄膜トランジスタを構成する島状領域どうしの間隔は、4 μm とした。また、アクティブマトリクス部の薄膜トランジスタにおいて、ここでは1つの島状領域により、活性シリコン層405を構成したが、もちろん、複数の島状領域にて構成してもよい。また、活性シリコン層405を、より小さい平面面積を有する複数の島状領域により構成させてもよい。この場合、欠陥密度がより低くなり、リーク電流を低下させることができる。また、薄膜トランジスタを構成する島状領域の形状を、アクティブマトリクス部と周辺駆動回路部とにおいて、異ならせてもよい。

【0020】次に、これらアモルファスシリコン薄膜よりなる島状領域が、アニール処理により結晶化される。基板温度は、500℃～1100℃、ここでは700℃、加熱時間は、2時間～72時間、ここでは48時間とした。アニール処理は、加熱の他に、レーザー光や、強光(赤外線等)の照射により行ってもよい。この結晶化工程により、島状領域501～507は、良好に結晶化された多結晶シリコン薄膜とされた。

【0021】その後、プラズマCVD法を用いて、ゲイ

ト絶縁膜として機能する酸化珪素膜407が、1500Åの厚さに形成される。その上に、スパッタ法により、アルミニウム膜が6000Å成膜され、エッチングによりパターニングされて、ゲイト電極407、408、409が形成される。

【0022】次に、イオンドーピング法により、活性シリコン層403～405に、ゲイト電極407～409をマスクとして、自己整合的に、N導電型およびP導電型を付与する不純物がドーピングされた。ここでは、ドーピングガスとして、N型のドーピングにはフォスフィン(PH₃)、P型のドーピングには、ジボラン(B₂H₆)を用いた。ここでは、画素領域の薄膜トランジスタは、Pチャネル型とした。すなわち、活性シリコン層404、405には、P型不純物が、403には、N型不純物がドーピングされた。この結果、P型の不純物領域413、415、416、418と、N型の不純物領域410、412、および実質的に真性なチャネル形成領域411、414、417を形成することができた。

【0023】この後、400℃～800℃で1～12時間、代表的には、600℃、2時間のアニール処理がされ、ドーピングされた不純物が活性化された。(図4(B))図5(B)において、活性シリコン層403、404のそれぞれにおいて、ゲイト電極407、408が、複数の島状領域の上に設けられていることが示されている。

【0024】続いて、厚さ500Åの窒化珪素膜と、厚さ3000Åの酸化珪素膜の2層よりなる絶縁膜が、第1の層間絶縁物419として、プラズマCVD法によって形成された。次に、第1の層間絶縁物419に、コンタクトホール420～424が形成されて、金属材料、例えば、チタン500Å、アルミニウム4000Åの多層膜によって、薄膜トランジスタの電極・配線425～428が形成された。(図4(C)、図5(C))実施例1において、活性シリコン層403、404のコンタクトホール420～423のそれぞれは、図5(C)に示すように、3つの島状領域に対し1つ形成されているが、個々の島状領域に1つずつ形成してもかまわない。

【0025】その後、さらに、厚さ4000Åの酸化珪素膜が、プラズマCVD法により形成され、これを第2の層間絶縁物429とした。そして、アクティブマトリクス領域の薄膜トランジスタの画素電極を構成する側の不純物領域に、コンタクトホール430が形成され、さらに、厚さ800ÅのITO(酸化インジウム・スズ)膜が形成され、これをエッチングして画素電極431が形成された。(図4(D)、図5(D))

【0026】こうして、アクティブマトリクス部分と、周辺駆動回路部分とを、同一基板上に形成することができた。このようにして形成されたアクティブマトリクス回路および周辺駆動回路は、リーク電流(I_{off})が少なく、低消費電力であり、高速に動作する、優れたもの

となった。この基板と、一面に電極が形成された対向基板とを、液晶を介して設置し、液晶電気光学装置を作製することができた。

【0027】

【発明の効果】本発明により、電流量が十分に流れ、かつ欠陥密度の低いチャネル形成領域を有する、高性能の多結晶シリコン薄膜トランジスタを得ることができた。このような薄膜トランジスタは、スレッショールド電圧 (V_{th}) や、リーク電流 (I_{off}) を低くすることができるため、消費電力を低くすることができた。また移動度 (μ) が大きくなるため、高速で動作し、また、大電流を流すことが可能となった。

【図面の簡単な説明】

【図1】 多結晶シリコン薄膜トランジスタの、スレッショールド電圧 (V_{th}) と、島状領域の面積との関係を示す図。

【図2】 固相成長における多結晶シリコン薄膜の欠陥密度と、初期アモルファスシリコン薄膜の膜厚との関係を示す図。

【図3】 複数の島状領域を活性シリコン層として用いた薄膜トランジスタの平面形状の例を示す図。

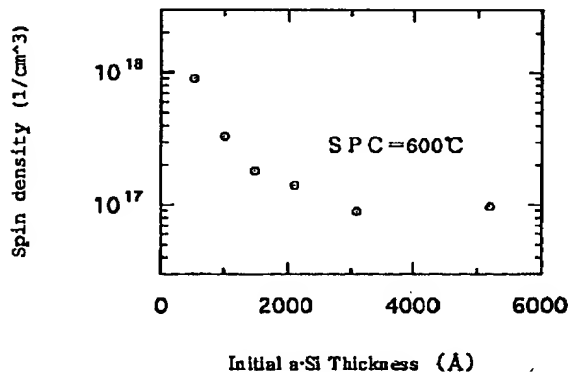
【図4】 実施例1の作製工程を示す図。

【図5】 図4の上面を示す図。

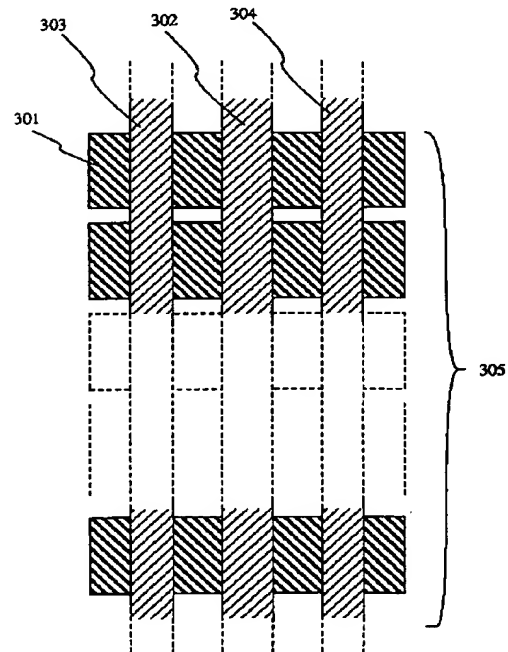
【符号の説明】

- 301 島状領域
- 302 ゲイト電極
- 303 ソース電極
- 304 ドレイン電極
- 305 活性シリコン層
- 401 基板
- 402 酸化珪素下地膜
- 403、404 活性シリコン層 (周辺駆動回路部)
- 405 活性シリコン層 (アクティブマトリクス部)
- 406 酸化珪素膜
- 407、408、409 ゲイト電極
- 410、412 N型の不純物領域
- 411、414、417 チャネル形成領域
- 413、415、416、418 P型の不純物領域
- 419 第1の層間絶縁物
- 420、421、422、423、424 コンタクトホール
- 425、426、427、428 電極・配線
- 429 第2の層間絶縁物
- 430 コンタクトホール
- 431 画素電極

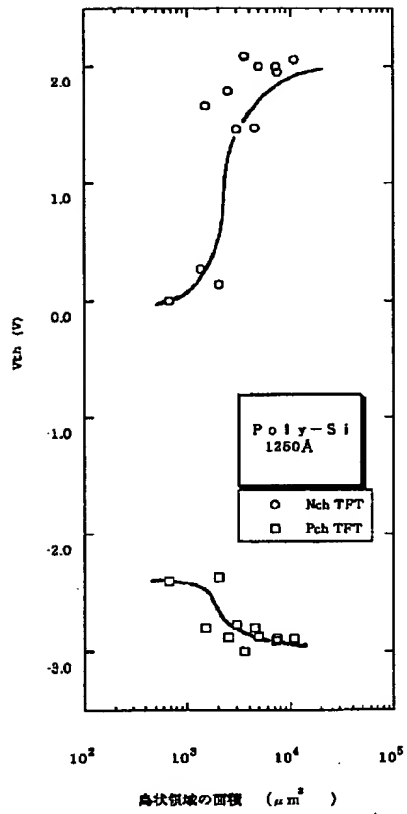
【図2】



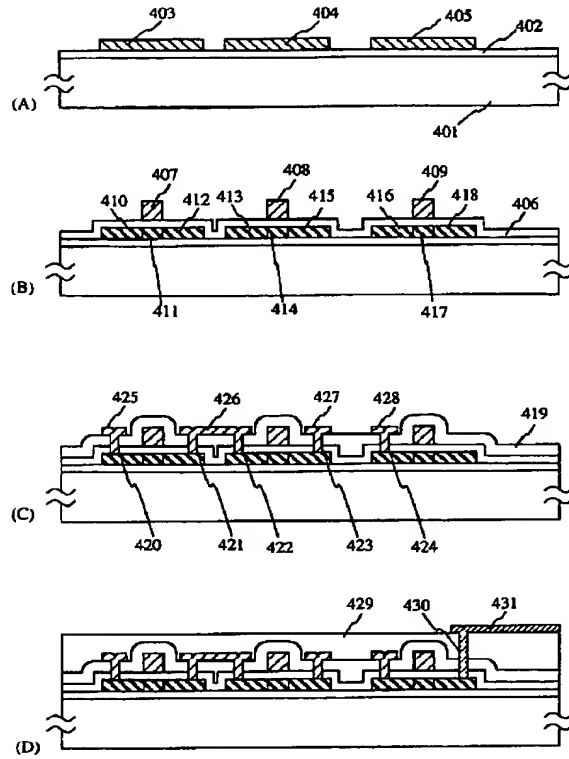
【図3】



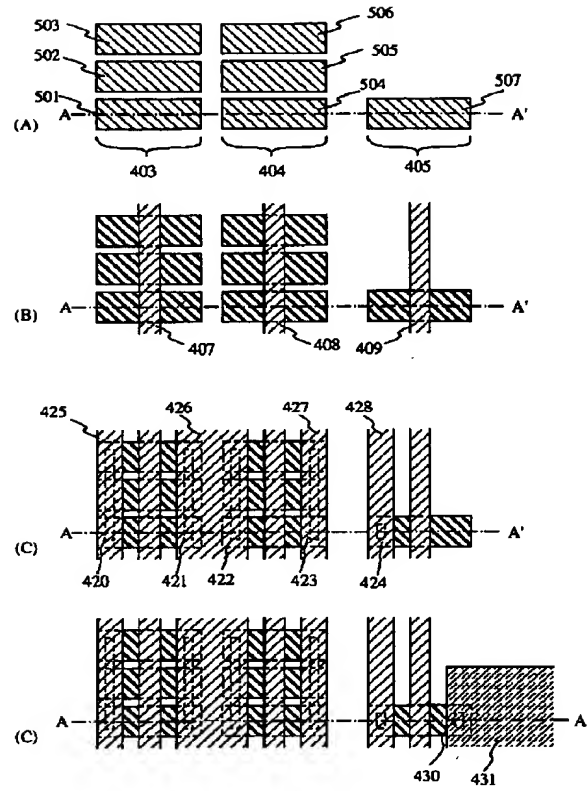
【図1】



【図4】



【図5】



公告本

修正
85-10-15

303526

申請日期	84 年 12 月 19 日
案 號	84113578
類 別	H01L 27/13, 21/324 Int. Cl. ⁶

A4
C4

303526

(以上各欄由本局填註)

發明專利說明書(修正本)

一、發明名稱	中 文	多結晶薄膜之形成方法及薄膜電晶體之製造方法
	英 文	
二、發明人	姓 名	(1) 菊川茂樹 (2) 古田守 (3) 篠博司
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國大阪府守口市南寺方北邊二-七寺方室三一〇
	住、居所	(2) 日本國大阪府守口市堀町一一二〇---三一五 (3) 日本國大阪府大阪市都島區友愛町一一五一七---〇一一
三、申請人	姓 名 (名稱)	(1) 松下電器產業股份有限公司 松下電器產業株式會社
	國 籍	(1) 日本 (1) 日本國大阪府門真市大字門真一〇〇六番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 松下洋一

裝
訂
線

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公厘)

須請參閱說明書
修正本有無變更實質內容是否准予修正。

經濟部中央標準局員工消費合作社印製

四、中文發明摘要(發明之名稱:)

多結晶薄膜之形成方法及薄膜電晶體之製造方法

本發明係提供一種使用雷射光束退火，以提高基板上之多結晶薄膜構造之結晶均勻性，來抑制分布於基板面內裝置之性能不均之方法。

本發明係在第1步驟之退火，對於基板5上之非晶質矽層2，使用準分子雷射(excimer laser)1進行退火，形成平均結晶粒徑為約20nm以下之微結晶矽層2，接著，在第2步驟之退火，對於非晶質矽層2，使用準分子雷射1之退火以形成多結晶矽薄膜4。而使用此多結晶矽薄膜4製作TFT。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱:)

(由本局填寫)

承辦人代碼：
大 類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利、申請日期：

案號：

· ☐有 ☐無主張優先權

日本
日本

1984 年 12 月 27 日 8-325177
1995 年 1 月 13 日 7-3631

☒無主張優先權
☒經主張優先權

有關微生物已寄存於：

· 寄存日期：

· 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公厘) - 3 -

案號 87113478 附件

第 87113478 智慧財產局專利公報檢索系統一檢索結果

注意：(新) 證附件
再審

第24卷第12期

專利種類：發明
公告編號：303526
公告日期：中華民國 86年04月21日
專利證號：86404
國際專利分類/IPC：H01L27/13 H01L21/324
專利名稱：多結晶薄膜之形成方法及薄膜電晶體之製造方法
申請案號：84113578
申請日期：中華民國 84年12月19日
發明/創作人：前川茂樹 古田守簡博司 川村哲也 宮田貴
發明/創作人地址：日本 日本 日本 日本
申請人：松下電器產業股份有限公司
申請人地址：日本
代理人：林敏生 林志剛
代理人地址：
優先權國家：
優先權日期：
優先權案號：

申請專利範圍：

1. 一種多結晶薄膜之形成方法，其特徵為包含：將包含做為多結晶化所需之結晶核發揮功能之微結晶之一部分薄膜形成於絕緣性基板上之製程，與將該薄膜使用退火加以多結晶化之製程。
2. 如申請專利範圍第1項之多結晶薄膜之形成方法，其中，在上述多結晶化製程前之上述薄膜，係包含有包含上述微結晶之微結晶層，與接觸於該微結晶層之非晶質層。
3. 如申請專利範圍第1項之多結晶薄膜之形成方法，其中，在上述多結晶化製程前之上述薄膜，係包含有包含上述微結晶之微結晶層，與堆積於該微結晶層上之上述非晶質層。
4. 如申請專利範圍第1項之多結晶薄膜之形成方法，其中，在上述多結晶化製程前之上述薄膜，係包含有非晶質層，與堆積於該非晶質層上，包含上述微結晶之微結晶層。
5. 如申請專利範圍第4項之多結晶薄膜之形成方法，其中，上述薄膜，係再包含有將堆積於該微結晶層上之其他非晶質層。
6. 如申請專利範圍第2項之多結晶薄膜之形成方法，其中，上述微結晶層係使用CVD法形成。
7. 如申請專利範圍第1項之多結晶薄膜之形成方法，其中，上述雷射退火，係使用準分子雷射實施。
8. 如申請專利範圍第1項之多結晶薄膜之形成方法，其中，上述雷射退火，係將上述絕緣性基板邊緣維持於約200°C到600°C範圍內之溫度實施。
9. 如申請專利範圍第1項之多結晶薄膜之形成方法，其中，上述薄膜係，由矽或矽做為主成分之半導體材料所形成。
10. 如申請專利範圍第1項至第5項任一項之多結晶薄膜之形成方法，其中，上述微結晶層之微結晶之平均結晶粒徑為20nm以下。
11. 如申請專利範圍第1項之多結晶薄膜之形成方法，其中，形成上述薄膜之製程，係包含使用具有結晶化間值附近能量密度之雷射光束來退火該非晶質層，藉此，形成上述微結晶核之製程。
12. 如申請專利範圍第2項之多結晶薄膜之形成方法，其中，形成上述微結晶層之製程，係包含形成非晶質層之製程，使用具有結晶化間值附近之能量密度之雷射光束來退火該非晶質層，藉此，將非晶質層轉換為上述微結晶層之製程。
13. 一種薄膜電晶體之製造方法，其特徵係包含：將包含做為多結晶化所需之結晶核發揮功能之微結晶之一部分半導體薄膜形成於絕緣性基板上之製程，與將該半導體薄膜由雷射退火加以多結晶化，藉此，來形成多結晶半導體膜之製程，與在該多結晶半導體膜中，形成源極領域，汲極領域，及通道領域之製程。
14. 如申請專利範圍第13項之薄膜電晶體之製造方法，其中，上述多結晶化製程之前上述半導體薄膜，係包含：包含上述微結晶之微結晶半導體層，與接觸於該微結晶半導體層之非晶質半導體層。
15. 如申請專利範圍第1項之多結晶薄膜之形成方法，其中，上述微結晶半導體層之微結晶之平均粒徑為20nm以下。

圖示簡明說明：

- 圖1(a)及(b)係表示本發明之多結晶薄膜形成方法之第1實施例之製程剖面圖。
- 圖2(a)及(b)係表示本發明之多結晶薄膜形成方法之第2實施例之製程剖面圖。
- 圖3(a)及(b)係表示本發明之多結晶薄膜形成方法之第3實施例之製程剖面圖。
- 圖4(a)係表示本發明之多結晶薄膜形成方法之第4實施例之第1退火之圖，(b)係第1實施例形成方法之第2步驟之退火之圖，(c)係所形成多結晶矽薄膜之部分剖面圖。
- 圖5(a)係表示本發明之多結晶薄膜形成方法之第5實施例之第1退火之圖，(b)係第1實施例形成方法之第2步驟之退火之圖，(c)係所形成多結晶矽薄膜之部分剖面圖。
- 圖6係從(a)到(d)係，表示本發明之薄膜電晶體之製造方法實施例之製程剖面圖。
- 圖7係從(a)到(d)係，表示本發明之薄膜電晶體之製造方法其他實施例之製程剖面圖。
- 圖8係從(a)到(d)係，表示本發明之薄膜電晶體之製造方法其他另外實施例之製程剖面圖。
- 圖9係表示使用準分子雷射退火之多結晶矽薄膜形成製程之模式圖。
- 圖10(a)係表示習知例之第1退火之圖，(b)係表示第2退火之圖，(c)係所形成多結晶矽薄膜之部分剖面圖。
- 圖11(a)係表示其他習知例之第1退火之圖，(b)係所形成之多結晶矽薄膜之部分剖面圖。